

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-079068

(43)Date of publication of application : 04.04.1991

(51)Int.Cl. H01L 23/50  
H01L 23/28  
H01L 25/065  
H01L 25/07  
H01L 25/18

(21)Application number : 01-216226

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 22.08.1989

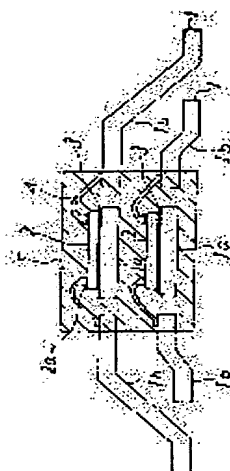
(72)Inventor : KOBAYASHI EIJI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

PURPOSE: To improve the mounting density of semiconductor elements where a thick film substrate is mounted on a printed board by laying out at least two lead frames in parallel and sealing them with resin.

CONSTITUTION: At least two lead frames mounted with semiconductor elements in the same package are laid out in parallel with the mounted side. The two lead frames 1 are coated with an adhesive 3 in each die bonding section 1b and semiconductor elements are positioned and tentatively fixed, then heat cures at a high temperature and fixed. A gold line 4 is connected with an interconnection pad 2a formed on the surface of semiconductor element 2 based on a heat pressure bonding process. Then, the other end of the gold line 4 is connected with an outside lead 1b. The two lead frames 2 which have finished the above process are assembled and resin-sealed based on the transfer mold process and finished by further bending the outside lead 1b. This construction makes it possible to improve the mounting density per unit area of a thick film substrate or a printed board.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-79068

⑬ Int. Cl.<sup>5</sup>

H 01 L 23/50  
23/28  
25/065  
25/07  
25/18

識別記号

W  
Z

庁内整理番号

9054-5F  
6412-5F

⑭ 公開 平成3年(1991)4月4日

7638-5F H 01 L 25/08

Z

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-216226

⑰ 出 願 平1(1989)8月22日

⑱ 発 明 者 小 林 栄 治 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体素子を固定させるダイボンドパッド及び前記半導体素子を電気的に配線させ、かつ、外部取り出し端子となる外部リードを有するリードフレームに前記ダイボンドパッドに半導体素子を固定させ、前記半導体素子上に形成された配線用パッドと前記配線用パッドに対応する前記リードフレームの外部リードへAu及びAu等の金属線を配線させ、その後前記半導体素子と金属線を出脂にて封止してなる半導体装置において、前記リードフレームを2ヶ以上並列に配置させ樹脂にて封止したことを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、樹脂封止型半導体装置の構造に関するものである。

(従来の技術)

第2図は従来の半導体装置を示す断面図である。図において、1はリードフレーム1a及び1bはリードフレーム1のダイボンドパッド部及び外部リード部、2は半導体素子、2aは半導体素子2の表面に形成された配線用パッド、3はダイボンドパッド部1aに半導体素子2を固定させる接着剤、4は半導体素子1の表面に形成された配線用パッド2aと外部リード部1bを電気的に接続するAu線、5は半導体素子2及びAu線4を保護するモールド樹脂である。

次に、この半導体装置の製造工程について説明する。まず、リードフレーム1のダイボンドパッド部1bに接着剤3を塗布し、半導体素子2を仮固定する。そして高温で加熱キュアしリードフレームと半導体素子2を固定する。そして熱圧着法により金線4を半導体素子2の表面に形成された配線用パッド2aに接続させ、さらに金線4の他端を外部リード1bへ接続して半導体素子2と外部リード部1bの電気的な配線を完了させる。そしてトランスファモールド法により樹脂封止し、

さらに外部リード部1bを曲げ成形して従来の半導体素子は完成されいた。

(発明が解決しようとする課題)

従来の半導体装置は以上のように構成されていたので、厚膜基板又はプリント基板へこの半導体装置を複数搭載する場合、半導体装置の数量により厚膜基板の大きさが増加し実装密度を増大させることが困難であるという問題点があった。

この発明は上記の様な問題点を解消するためになされたもので、半導体装置の構成を変えることにより厚膜基板をプリント基板に実装される半導体素子の実装密度を向上させた半導体装置を得ることを目的とするものである。

(課題を解決するための手段)

この発明に係る半導体装置は、同一パッケージ内に半導体素子を搭載させたリードフレームを実装面に対して平行に2枚以上を配置させたものである。

(作用)

この発明における同一パッケージ内に2枚以上

の半導体素子を搭載したリードフレームは、実装面に対して平行に配置され半導体装置を実装する厚膜基板又はプリント基板の高さ方向の空間を利用出来るため、厚膜基板又はプリント基板の単位面積当りの実装密度を向上させる。

(実施例)

以下、この発明の一実施例を図について説明する。第1図はこの発明の一実施例である半導体装置の断面図である。図において、1はリードフレームで、図示の如く平行に上下に2枚配置されている。1a及び1bはリードフレーム1のそれぞれのダイボンドパッド部及び外部リード部、2はダイボンドパッド部1aに搭載された半導体素子で、リードフレーム1にそれぞれ1個ずつ計2ヶパッケージ内に収納されている。3はダイボンドパッド部1aに半導体素子2を固定させる接着剤、4はAu線で、半導体素子2の表面に形成された配線用パッド2aと外部リード部1bを電気的に配線している。5は半導体素子2とAu線4等を外力より保護するモールド樹脂である。

次にこの半導体装置の製造工程について説明する。2枚のリードフレーム1は個々にダイボンドパッド部1bに接着剤3を塗布し、半導体素子2を位置決め仮固定する。そして高温で加熱キュアし固定させる。そして熱圧着法により金線4を半導体素子2の表面に形成された配線用パッド2aを接続させ、その後金線4の他端を外部リード1bへ接続する。以上の工程を完成したリードフレーム1を2枚組み合わせ、トランスファモールド法により樹脂封止しさらに外部リード1bを曲げ成形して半導体装置は完成する。

(発明の効果)

以上のようにこの発明によれば、同一パッケージ内に高さ方向に平行に半導体素子が配置されるため樹脂封止面積を減えることなく半導体素子を2ヶ3ヶと増加が可能となり、厚膜基板又はプリント基板へ実装密度を増加させることが容易となる。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例である半導体装置

の断面図、第2図は従来の半導体装置の断面図である。

図において1はリードフレーム、1aはダイボンドパッド部、1bは外部リード部、2は半導体素子、2aは配線用パッド、3は接着剤、4はAu線、5は封止樹脂を示す。

なお、図中、同一符号は同一、または相当部分を示す。

代理人 大 岩 増 雄

(3)

手続補正書(自発)

平成 1 年 11 月 22 日

特許庁長官殿

1. 事件の表示 特願昭 1-216226号

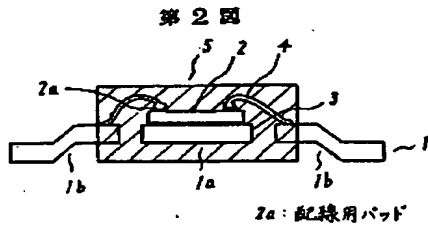
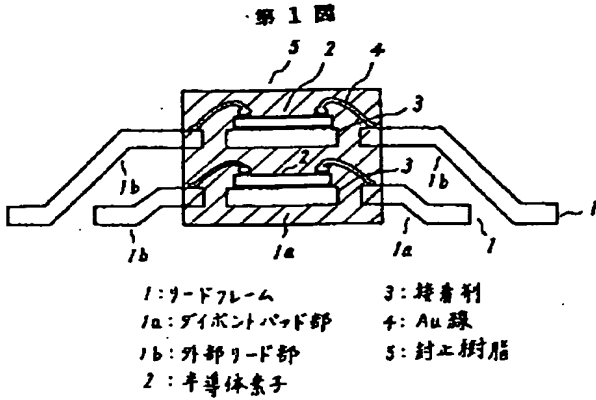
2. 発明の名称 半導体装置

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601)三菱電機株式会社  
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
氏 名 (7375)弁理士 大 岩 増 雄  
(通格先03(213)3421特許部)



5. 補正の対象

明細書の発明の詳細を説明の欄及び図面。

6. 補正の内容

(1) 明細書をつぎのとおり訂正する。

ページ	行	訂 正 前	訂 正 後
3	11	厚膜基板をプリント基板に	厚膜基板又はプリント基板に
4	13	ダイボンドパッド部 1a に	ダイボンドパッド部 1a に
5	2~3	ダイボンドパッド部 1b に	ダイボンドパッド部 1a に

(a) 図面中第 1 図を別紙のとおり訂正する。

(b) 図面中第 2 図を別紙のとおり訂正する。

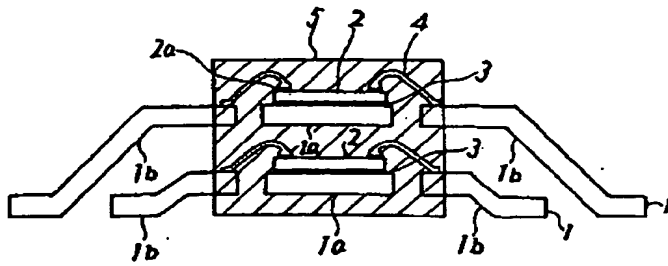
7. 添付書類の目録

(1) 訂正図面(第 1 図, 第 2 図) 1 通

以 上

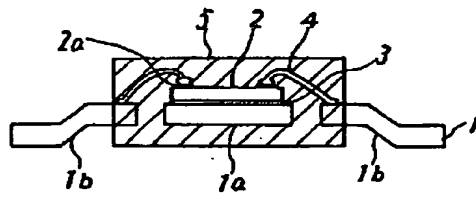
(4)

第 1 図



1: リードフレーム      3: 接着剤  
1a: ダイボットパッド部      4: Au線  
1b: 外部リード部      5: 封止樹脂  
2: 半導体素子

第 2 図



2a: 配線用パッド